

# BUFFER STORAGE CONTROL SYSTEM

Publication number: JP57015274

Publication date: 1982-01-26

Inventor: OZAWA HIDEKIYO; FUJII SHIGERU

Applicant: FUJITSU LTD

Classification:

- International: G06F12/12; G06F12/12; (IPC1-7): G06F13/00; G11C9/06

- European: G06F12/12

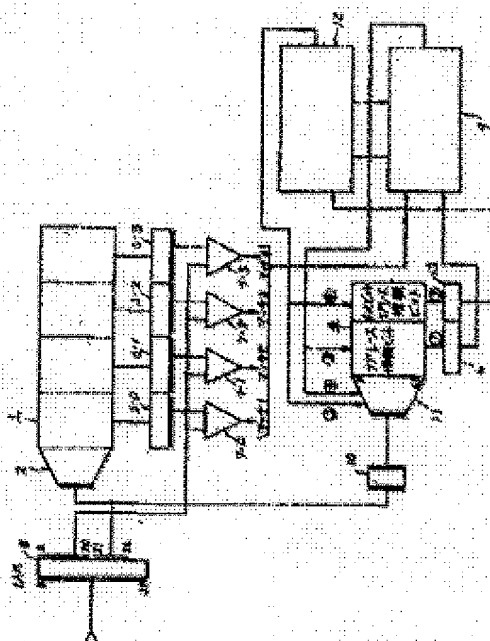
Application number: JP19800088649 19800630

Priority number(s): JP19800088649 19800630

Report a data error here

## Abstract of JP57015274

**PURPOSE:**To inhibit the dynamic expelling operation of a buffer memory device by providing a bit for inhibiting expulsion from the buffer memory device and a circuit which resets the bit on the basis of replacement information. **CONSTITUTION:**A storage part for data sent, block by block, from a main storage device and a tag part 1 having a storage area for information on addresses of data stored in the main storage device are provided, and an area for inhibition replacement information bits is added to a replacement information storing circuit 4. Then, a generating and erasing circuit 12 for inhibition/replacement bit information and a replacement determining circuit 9 which determines a block to be expelled on the basis of the replacement information and inhibition/replacement bit information when no block to be access resides in the memory device are provided; data belonging to a predetermined address area are excluded from the block to be expelled and when some block is to be expelled continuously at a prescribed frequency, its expulsion is canceled.



⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-15274

⑤ Int. Cl.<sup>3</sup>  
G 11 C 9/06  
G 06 F 13/00

識別記号

庁内整理番号  
7056-5B  
7361-5B

⑬ 公開 昭和57年(1982)1月26日

発明の数 1  
審査請求 未請求

(全 9 頁)

⑭ バッファ記憶制御方式

⑯ 発明者 藤井茂

川崎市中原区上小田中1015番地  
富士通株式会社内

⑰ 特 願 昭55-88649

⑱ 出 願 昭55(1980)6月30日

⑰ 出 願 人 富士通株式会社

⑲ 発 明 者 小沢秀清

川崎市中原区上小田中1015番地

川崎市中原区上小田中1015番地  
富士通株式会社内

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1 発明の名称

バッファ記憶制御方式

2 特許請求の範囲

(1) 主記憶装置から1ブロック単位のデータが転送されて格納されるデータが格納部と、該データ格納部に格納されているデータの上記主記憶装置上でのアドレス情報を格納するアドレス情報格納エリアを少なくともそなえたタグ部とをそなえ、同一ライン上に存在する複数ブロックに対するリブレース情報を格納するリブレース情報格納エリアを有するバッファ・メモリ装置をそなえたデータ処理システムにおいて、アクセス・アドレス情報にもとずいてインヒビット・リブレース・ビット情報を生成し、リブレース情報に基いてインヒビット・リブレース・ビットをリセットするインヒビット・リブレース・ビット情報生成消滅回路および上記バッファ・メモリ装置上にアクセス対象ブロックが存在しないとき上記リブレース情報と上記インヒビット

・リブレース・ビット情報とにもとずいて追いつ出しブロックを決定するリブレース決定回路を設け、予め定められたアドレス領域に属するデータについて追いつ出し対象ブロックから除外し、該ブロックが所定回数連続して追いつ出されるべきブロックとなつた時に前記除外を解除するようにした事を特徴とするバッファ記憶制御方式。

(2) 上記追いつ出し対象ブロックから除外されるデータが属する上記予め定められたアドレス領域は上記インヒビット・リブレース・ビット情報生成消滅回路に予め与えられるアドレス領域指定情報により選択可能にされることを特徴とする特許請求の範囲第(1)項記載のバッファ記憶制御方式。

(3) 上記インヒビット・リブレース・ビット情報は上記アドレス情報格納エリア内に上記アドレス情報とともに予め格納され、データ読出し時に参照されることを特徴とする特許請求の範囲第(1)項又は第(2)項記載のバッファ記憶制御方式。

3 発明の詳細な説明

本発明は、バッファ記憶制御方式、特に例えば低位アドレス部分の如き予め定められたアドレス部におけるバッファ・ヒット率を高め、全体としてのバッファ・ヒット率を高めるようにしたバッファ記憶制御方式に関するものである。

一般に大型の情報処理システムにおいては、高速度でアクセスすることができるバッファ・メモリ装置を設け、主記憶装置上のデータを1ブロック単位で上記バッファ・メモリ装置に転送し格納しておき、処理進行に当って上記バッファ・メモリ装置をアクセスするようにする。

この種のバッファ・メモリ装置は、一般に主記憶装置から1ブロック単位のデータが転送され格納されるデータ格納部と該データ格納部に格納されたデータの主記憶装置上でのアドレス情報が格納されるタグ部とで構成される。

第1図はこの種のバッファ・メモリ装置に対するアクセス処理動作を行なうバッファ記憶制御方式の従来例を示している。図中、1はタグ部であり、図示しないデータ格納部とともにバッファ・

メモリ装置を構成するもの、2はタグ部1のデコーダ、3-0、3-1、3-2、3-3は夫々アドレス情報格納エリア、4はリブレース・アレイ即ちリブレース情報記憶回路、5-0、5-1、5-2、5-3は夫々アドレス情報読出しレジスタであり、上記アドレス情報格納エリア3-0、3-1、3-2、3-3に対応しているもの、6はリブレース情報レジスタであり、上記リブレース情報記憶回路4に対応しているもの、7-0、7-1、7-2、7-3は夫々比較回路、8は実効アドレス・レジスタであり、図示しない主記憶装置上の実効アドレス情報がセットされるもの、9はリブレース決定回路であり、後述する如くリブレース(置換)すべきブロック、即ち追い出しブロックを決定するリブレース決定処理を行なうものを夫々表わしている。

第1図において、タグ部1のアドレス情報格納エリア3-0、3-1、3-2、3-3は周知の如く、夫々例えば64個のラインで構成されており、各ラインは主記憶装置のラインと1対1に対

応づけられたタグ部1の例えばラインmには主記憶装置上のラインmに属するデータブロックのアドレス情報が格納されるものとする。またタグ部1のリブレース情報記憶回路4には各ライン毎にリブレース情報が格納され、例えばラインmに対応する単位リブレース情報格納エリア4-mにはデータ格納部のラインmに属する4個のデータ・ブロックに対するリブレース情報が格納される。ここでリブレース情報とは各データ・ブロックの参照履歴を表わす情報と考えてよい。バッファ・メモリ装置に対する読出し処理は次のように行われる。即ち

- (1) 実効アドレス・レジスタ8に実効アドレス情報がセットされる。ここで実効アドレス情報とはアクセスしたいデータのアドレス番地を指示する情報である。上記レジスタ8にセットされた実効アドレス情報のうち例えばビット21ないし26にもとづいてタグ部1がアクセスされる。

- (2) 上記タグ部1のデコーダ2は上記ビット21

ないし26を解読し64個のラインのうち1つのライン例えばラインmを選択し、該選択されたラインmに属する4個の単位アドレス情報格納エリア3-m-0、3-m-1、3-m-2、3-m-3内に格納されているアドレス情報が一斉に読出され夫々レジスタ5-0、5-1、5-2、5-3にセットされる。

なお、実効アドレスレジスタ8のビット21~26はレジスタ10にもセットされる。デコーダ11は、これらのビットを解読して64個のラインのうち1つのラインに属する4個の単位アドレス情報格納エリア3-m-0、3-m-1、3-m-2、3-m-3のリブレース情報記憶回路14から読み出しレジスタ6にセットする。

- (3) 比較回路7-0、7-1、7-2、7-3は夫々レジスタ5-0、5-1、5-2、5-3にセットされたアドレス情報と実効アドレス情報のビット8ないし20とを比較する。

- (4)~(6) 比較回路7-0、7-1、7-2、7-3のいずれか例えば比較回路7-1が比較一致

信号を出力すると、該比較一致信号により実効アドレス情報が指示するデータがバッファ・メモリ装置上に転送・格納されていることがわかり、単位アドレス情報格納エリア3m-1に対応する図示しないデータ格納部から上記実効アドレス情報に対応したデータが読出される。なおアドレス情報格納エリア3-0, 3-1, 3-2, 3-3にはアドレス情報とともに個々のアドレス情報毎に付加されたバリッド・ビット情報が格納されており、仮に比較一致信号が得られたアドレス情報に対応するバリッド・ビット情報が、“無効”即ち当該アドレス情報に対応するデータが無効である旨を指示している場合比較一致信号がマスクされデータ格納部からのデータ読出しは行なわれない。

- (4)-⑥ 一方比較回路7-0, 7-1, 7-2, 7-3がいずれも比較不一致信号を出力した場合、バッファ・メモリ装置上に所望のデータが存在していないことがわかり、リブレース決定回路9は上記レジスタ6内のリブレース情報に

もとずいて追い出しブロックを決定するリブレース決定処理を行なう。ここでリブレース決定処理は例えばいわゆるLRU(Least Recently Used)処理方式にもとずいて行なわれ、最も古い時点でアクセスされたブロックが追い出しブロックとして決定される。そしてリブレース決定回路9が例えば単位アドレス情報格納エリア3m-1に対応するデータ・ブロックを追いつきブロックとして決定処理した場合、上述した実効アドレス・レジスタ8にセットされた実効アドレス情報が指示するデータ・ブロックが主記憶装置上からバッファ・メモリ装置データ格納部に転送され上記単位アドレス情報格納エリア3m-1に対応する単位データ格納エリアに格納される。同時に上記単位アドレス情報格納エリア3m-1に、上記転送データ・ブロックの主記憶装置上でのアドレス情報が格納される。

このようなバッファ・メモリ装置をそなえたデータ処理システムにおいて、一般にデータ即ち命

令又はオペランドをHSB(ハイ・スピード・バッファ—上記バッファ・メモリ装置に同じ)から読出す際それがHSB内にあった割合をバッファ・ヒット率といい、バッファ・ヒット率を出来る限り大きくとることが処理速度の向上の上から望ましいこととされている。このバッファ・ヒット率をスーパーバイザープログラムモード(以下スーパーバイザーモードと呼ぶ)とプロブレムプログラムモード(以下プロブレムモードと呼ぶ)との場合に分けて考えてみると、過去の実測例などからスーパーバイザーモードでのバッファ・ヒット率はプロブレムモードでのバッファ・ヒット率に比べてかなり悪いことが知られている。これはスーパーバイザーモードでの命令あるいはオペランドがプロブレムモードに比べ連続性が少なくまた再使用の確率が少ないためである。

オペレーティング・システムが巨大化するに連れてデータ処理装置がスーパーバイザーモードで走る割合が高くなりスーパーバイザーモードでのバッファ・ヒット率の低さが問題となっている。そ

してスーパーバイザーモードでの主記憶装置へのアクセス傾向をみると、オペレーティング・システムの核となる低位アドレス部分へのアクセス頻度が非常に高いことが知られている。

この点を考慮してバッファ・ヒット率を高めるべく、低位アドレス部分を固定アドレスとしてHSB内に格納しておく方式が考えられる。しかしながら例えばオペレーティング・システムで頻繁に利用される低位アドレス部分を固定的にバッファメモリ装置に置くと科学技術計算のようにオペレーティング・システムが余り介入しないプログラムでは、その固定部分が余りアクセスされず、バッファ・ヒット率が下がる場合がある。

そこで本発明の目的は以上の問題点を解決するもので、バッファメモリ装置からの追出しを禁止するビットとリブレース情報に基づいてそのビットをリセットする回路を設け、ある領域の中で実際に頻繁にアクセスされる部分のみをバッファメモリ装置に優先的に置くようにし、かつその領域があまりアクセスされないようになつたら追いつ

ことができるようにし、動的にバッファメモリ装置の追い出し禁止が出来るようにしたものである。

上記本発明の目的は、主記憶装置から1ブロック単位のデータが転送されて格納されるデータ格納部と、該データ格納部に格納されているデータの上記主記憶装置上でのアドレス情報を格納するアドレス情報格納エリアを少なくともそなえたタグ部とをそなえ、同一ライン上に存在する複数ブロックに対するリブレース情報を格納するリブレース情報格納エリアを有するバッファメモリ装置をそなえたデータ処理システムにおいて、アクセス・アドレス情報にもとずいてインヒビット・リブレース・ビット情報を生成しリブレース情報に基いてインヒビット・リブレース・ビットをリセットするインヒビット・リブレース・ビット情報生成消滅回路および上記バッファメモリ装置上にアクセス対象ブロックが存在しないとき上記リブレース情報と上記インヒビット・リブレース・ビット情報とにもとずいて追い出しブロックを決定するリブレース決定回路をもうけ、予め定め

られたアドレス領域に属するデータについて追い出し対象ブロックから除外し、該ブロックが所定回数連続して追い出されるべきブロックとなった時に前記除外を解除することにより達成される。

次に図面により本発明の詳細を説明する。

第2図は本発明の実施例によるバッファ記憶制御方式構成図、第3図～第5図は本発明の実施例によるリブレース制御回路図、第6図は同じくインヒビット・リブレース・ビット生成、消滅制御回路図を示す。第2図に示す本発明のバッファ記憶制御回路はリブレース情報記憶回路4にインヒビット・リブレース情報ビット格納領域を追加したもので、このためにインヒビット・リブレース・ビット生成、消滅回路1,2が追加され、かつリブレース決定回路9も変更されている。

以下第2図～第6図を使用して回路動作を説明する。

リブレース情報記憶回路4から読み出されたリブレース情報ビットはレジスタ6に、インヒビット・リブレース情報ビットはレジスタ13にセッ

トされる。

レジスタ6にセットされた6個のリブレース情報ビット1ラインの中からバッファメモリ装置に格納されている4つのブロックの使用状況を示すもので、例えばビット1-2が“1”のときはブロック1はブロック2より新しく使用されたことを示している。“0”のときはその逆を示している。レジスタ13は4つのブロックに対応して設けられたインヒビットリブレースビットをセットするもので、例えばビット1-1が“1”の場合は、ブロック1のリブレースを禁止する。

従来はレジスタ6のリブレース情報ビットによって決定されるリブレース順序に従って最も古くアクセスされたブロックがリブレース対象ブロックとなるが、本発明ではそのブロックのインヒビット・リブレース情報ビットが“1”になっている場合はオアゲートa-1～a-6およびアンドゲートb-1～b-6によって、そのブロックが最新になるようリブレース情報ビット1-1～1-4を変更し、その変更した情報をアンドゲートc

-1～c-4によって次の順位のリブレースすべきブロックを選択する。

第2図において比較回路7-0～7-4の全ての一致出力が出ない場合（即ちリブレースブロックを決定すべき場合）は、これをゲートeが検出するとアドゲートd-1～d-4の出力リブレース1～リブレース4の何れかが“1”となって、そのブロックがリブレースされることになる。

以上説明したようにリブレース対象ブロックのインヒビットリブレースビットが“1”の場合は最も古いブロックであってもリブレースされず次の順位のブロックがリブレースされるが、次にそのリブレースされなかったブロックがリブレース対象ブロックとなった場合はリブレースされるようにする。つまり優先アドレスのデータはリブレースブロック決定時に連続して2回最も古いブロックになると2回目でリブレースされる。

このためアンドゲートf-1～f-4およびアンドゲートg-1～g-4によってリブレース対象ブロックのインヒビットリブレースビットを“0”

にリセットするためリセットインヒビット信号1～4が出力される。

以上を具体例によって説明すると例えばレジスタ6に0001111が、レジスタ13に10000がセットされている場合、レジスタ6のリブレース情報ビットはブロック2が最新でブロック1が最も古い2>3>4>1の順位であることを示している。

この場合もインヒビットリブレースビットI-1～I-0が0000であればリブレース対象ブロック1が選択されることになるが、この例ではインヒビットリブレースビットI-1が“1”であるのでオアゲートa-1～a-6の出力は全て“1”となる。

またインヒビットリブレースビットI-2～I-4は“0”であるのでアンドゲートb-1～b-6の出力は全て“1”となる。従ってアンドゲートc-4のみ出力“1”となり、オアゲートeの出力があった時アンドゲートd-4の出力が“1”となり、リブレース信号4が“1”となる。

う。

またリセットインヒビット信号1～4の何れかが“1”になると対応するブロックを最新にするため同様にリブレース情報ビットを変更する。

第5図はリブレース情報記憶回路4への書き込みデータを作成する回路を示す。

例えばマッチ2が“1”になるとフリップフロップn-1を“0”、フリップフロップn-4を“1”、フリップフロップn-5を“1”にするとともにブロック2が最新となるようにする。

リブレース信号3が“1”だとフリップフロップn-2を“0”、フリップフロップn-4を“0”、フリップフロップn-6を“1”にすることによりブロック3が最新になるようにする。

例えばリブレース1信号が“1”であり、かつリセットインヒビット信号2が“1”の場合はリセットインヒビット信号2を優先させる。

つまりこの場合はブロック1よりブロック2の方が最新であるようにするためフリップフロップn-1を“0”、フリップフロップn-2を“1”

またリブレース情報ビット1～2, 1-3, 1-4が“0”であり、インヒビットリブレースビットI-1が“1”であるのでアンドゲートf-1のみ出力が“1”となりオアゲートgの出力が“1”のときアンドゲートg-1からリセットインヒビット信号が出力される。

第4図はリブレース情報記憶回路4に対する書き込み制御回路を示す。

比較回路7-0～7-4の何れかから一致出力マッチ1～マッチ4があると、そのブロックを最新であるようにリブレース情報ビットを変更するための書き込み信号1-2ライト～3-4ライトを出力する。

例えばマッチ1が“1”になるとフリップフロップj-1～j-3がセットされ1-2ライト, 1-3ライト, 1-4ライト信号が“1”になる。

リブレース信号が発生すると、リブレースされるべきブロックは主記憶装置からバッファ記憶装置へデータを転送した時に、そのブロックを最新にするためにリブレース情報ビットの変更を行な

フリップフロップn-3を“1”、フリップフロップn-4を“1”、フリップフロップn-5を“1”にセットする。

第6図はインヒビットリブレースビット生成、消滅回路12を示す。

レジスタ16には優先アドレス、レジスタ15にはその有効ビットがセットされる。この例では優先指定できるアドレス領域を2Kバイトのページ単位で指定するため、レジスタ16にはアドレスの8～20ビットがセットされる。このレジスタ16に対する優先アドレスの設定はオペレータにより自由に指定できる。またプログラムによってもセットできるようにしてもよい。

このレジスタ16の内容と実効アドレスレジスタ8の8～20ビットが比較され一致すると比較回路14の出力が“1”になる。

アクセスするデータブロックがバッファメモリ装置に存在した時、あるいはリブレースが発生してバッファメモリ装置へ新たなデータを格納した時比較回路14から一致出力があるとオアゲートo

1～o-4、アンドゲートp-1～p-4を経てレジスタr-5の対応するビットI-1～I-4の1つに“1”がセットされる。

同時にオアゲートq-1～q-4を経てフリップフロップr-1～r-4の1つがセットされ、リブレース情報記憶回路4へインヒビットリブレース情報ビット書き込み信号を送る。

従ってフリップフロップr-1～r-4で指定されたビット位置にレジスタr-5にセットされたインヒビットリブレース情報が書き込まれる。

以上の実施例では優先アドレス領域のデータブロックは一旦バッファメモリ装置に格納された後、そのブロックがリブレース対象ブロックとなってもリブレースされず、2度目にリブレース対象ブロックになってからリブレースされる例であるが、本発明は3度目、4度目、……でリブレースされるよう構成してもよい。

以上説明したように本発明によると一旦バッファメモリ装置に格納された優先アドレス領域内のデータブロックと云えども、使用頻度が小さいブ

ロックはリブレースされることになり、優先アドレス領域を固定的にバッファメモリ装置に置く方法に比べ、バッファヒット率をより高めることができる利点がある。

#### 4. 図面の簡単な説明

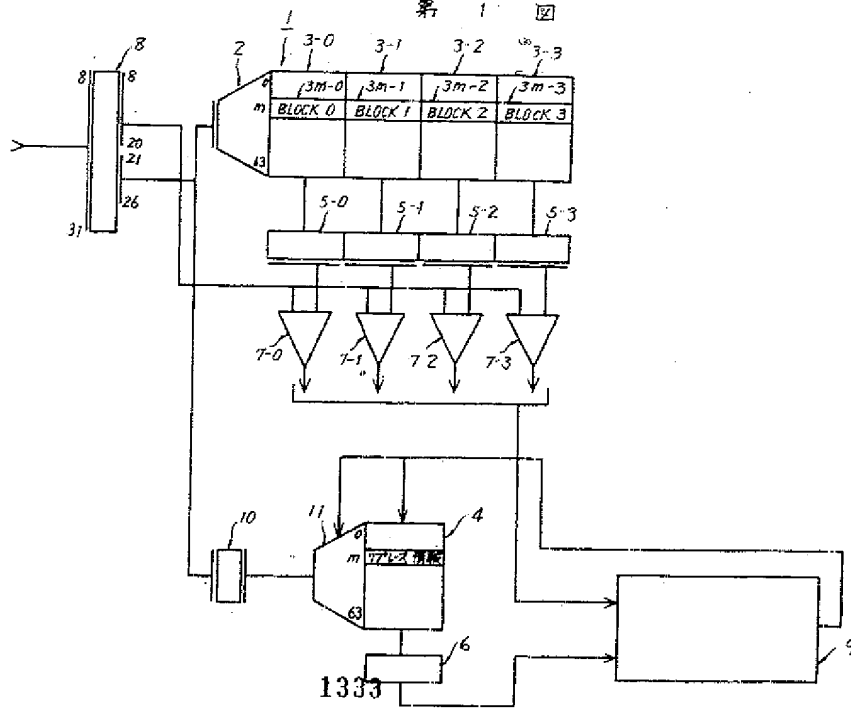
第1図は従来のバッファ記憶制御方式の構成図例、第2図は本発明の実施例によるバッファ記憶制御方式構成図、第3図～第5図は本発明の実施例によるリブレース制御回路図、第6図は同じくインヒビットリブレースビット生成、消滅制御回路図を示す。

図において1はタグ部、2, 11はデコーダ、3はアドレス情報格納エリア、4はリブレース情報記憶回路、5, 6, 10, 13, 16 r-5はレジスタ、7, 14は比較回路、8は実効アドレスレジスタ、9はリブレース決定回路、12はインヒビットリブレースビット生成、消滅制御回路、15は有効ビットレジスタ、a-1～a-6, e, h-1～h-4, i-1～i-6, l-1～l-6, k-1, k-5, k-8, o-1～o-

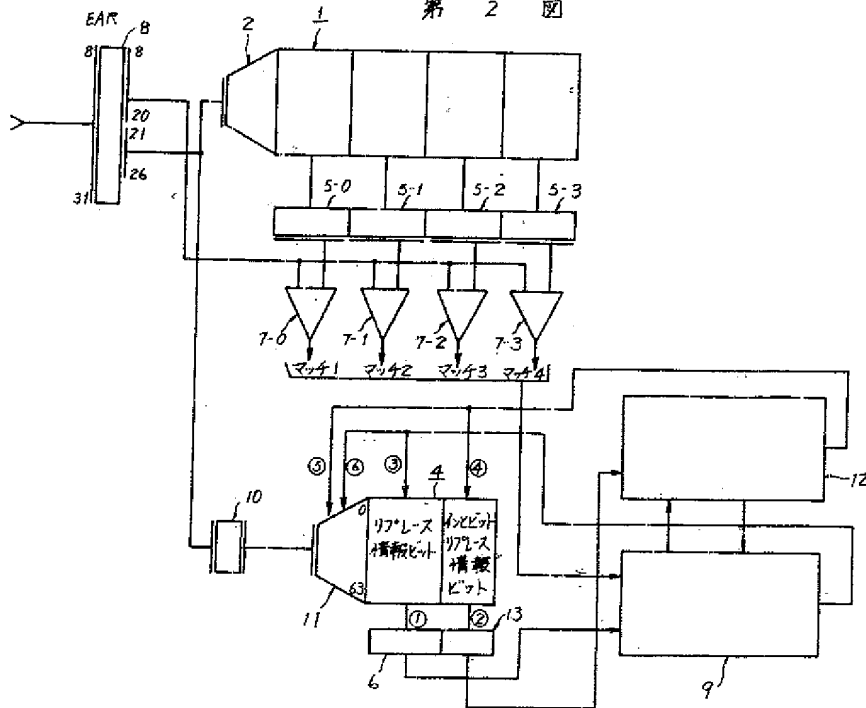
4, q-1～q-4はオアゲート、b-1～b-6, c-1～c-4, f-1～f-4, d-1～d-4, g-1～g-4, k-2～k-4, k-6, k-7, k-9, p-1～p-4はアンドゲート、j-1～j-6, n-1～n-6, r-1～r-4はフリップフロップを示す。

代理人 弁理士 松岡 宏四郎

第 1 図

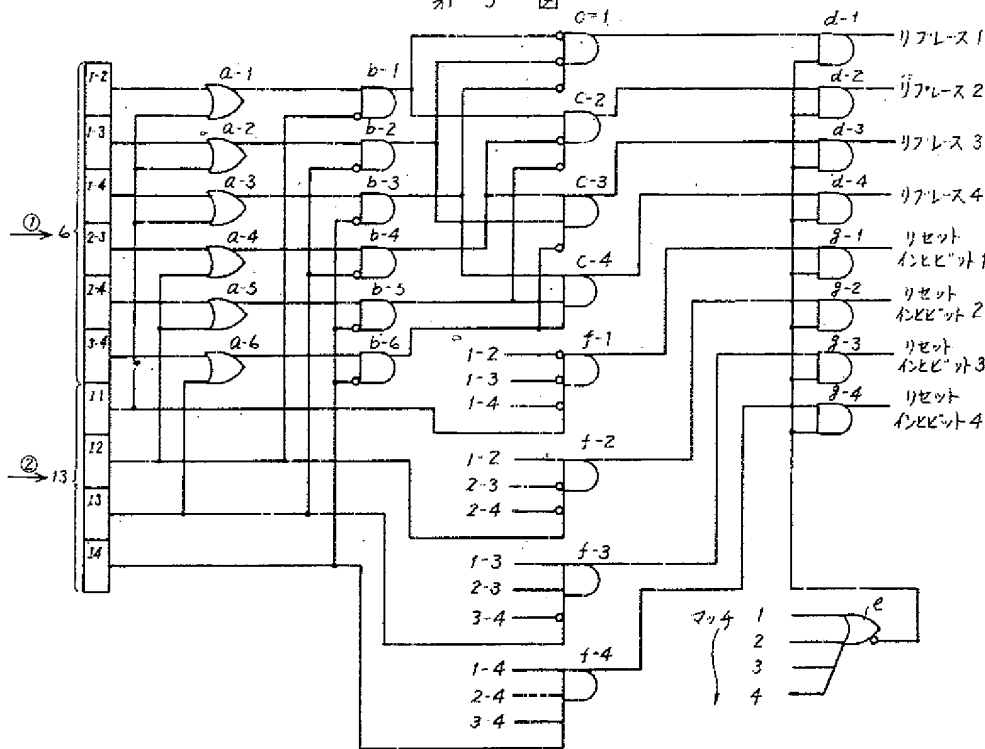


第 2 図

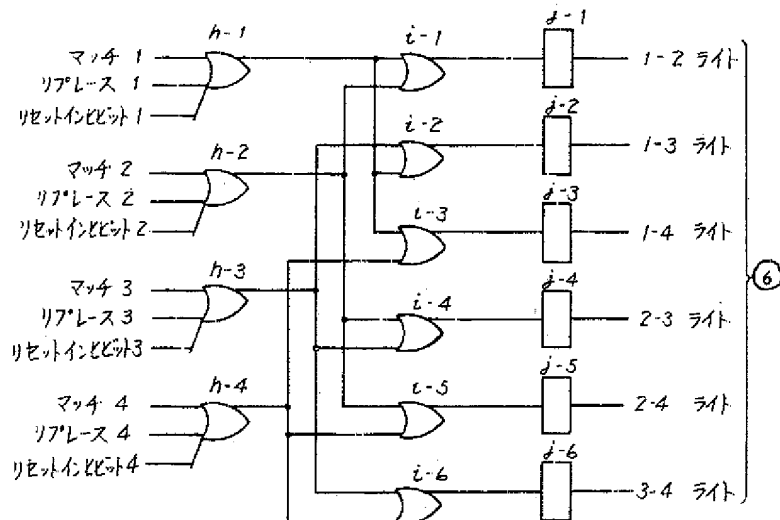




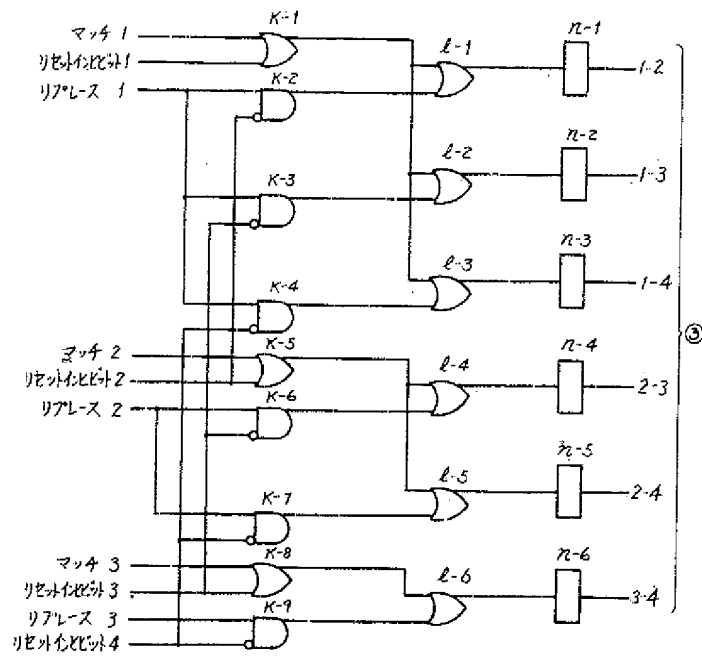
第 3 図



第 4 図



第 5 図



第 6 図

